

CIRCUIT BOARD

Patent Number: JP10163254

Publication date: 1998-06-19

Inventor(s): TAKEMURA KENZO; WATANABE ITSUO; NAGAI AKIRA; WATANABE OSAMU;
KOJIMA KAZUYOSHI

Applicant(s):: HITACHI CHEM CO LTD

Requested Patent: ☐ JP10163254

Application
Number: JP19960322984 19961203

Priority Number
(s):

IPC Classification: H01L21/60

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a circuit board excellent in connection reliability between a semiconductor chip and a mounting board.

SOLUTION: A mounting board 2 is obtained by forming semiconductor chip mounting wirings by etching-processing the surface copper foil of a glass cloth.epoxy resin double copper-clad laminate having X and Y-direction linear expansion coefficients 11ppm/ deg.C. The bump electrodes 3 of a semiconductor chip 1 and a mounting board 2 are connected with anisotropic conductive films having a coefficient of elasticity 1,200MPa at 40 deg.C after adhesion. In this way, it becomes possible to obtain a circuit board connecting the bump electrodes 3 of a semiconductor chip 1 to the semiconductor chip mounting circuit of the mounting board 2 through anisotropic conductive films electrically, and along with it maintaining the condition of connection between the semiconductor chip 1 and the mounting board 2 by the hardening of an adhesive agent 10 for the anisotropic conductive films.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 0 - 1 6 3 2 5 4

(43) 公開日 平成 1 0 年 (1 9 9 8) 6 月 1 9 日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
H01L 21/60	311		H01L 21/60	311 S

審査請求 未請求 請求項の数 5 O L (全 4 頁)

(21) 出願番号 特願平 8 - 3 2 2 9 8 4

(22) 出願日 平成 8 年 (1 9 9 6) 1 2 月 3 日

(71) 出願人 0 0 0 0 0 4 4 5 5

日立化成工業株式会社

東京都新宿区西新宿 2 丁目 1 番 1 号

(72) 発明者 竹村 賢三

茨城県つくば市和台 4 8 日立化成工業株式会社筑波開発研究所内

(72) 発明者 渡辺 伊津夫

茨城県つくば市和台 4 8 日立化成工業株式会社筑波開発研究所内

(72) 発明者 永井 朗

茨城県つくば市和台 4 8 日立化成工業株式会社筑波開発研究所内

(74) 代理人 弁理士 若林 邦彦

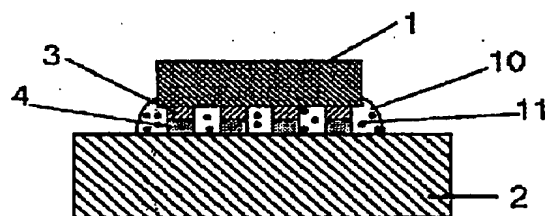
最終頁に続く

(54) 【発明の名称】 回路板

(57) 【要約】

【課題】 半導体チップと実装基板との接続信頼性に優れる回路板を提供する。

【解決手段】 X及びY方向の線膨張率が 1 1 p p m / ° C のガラスクロス・エポキシ樹脂両面銅張り積層板の表面銅箔をエッチング法で半導体チップ搭載用配線を加工し実装基板を得た。半導体チップの突起電極と実装基板とを接着後の 4 0 ° C における弾性率が 1 , 2 0 0 M P a の異方導電フィルムにより接続する。このようにして異方導電フィルムを介して半導体チップの突起電極と実装基板の半導体チップ搭載用回路とが電氣的に接続されると同時に半導体チップと実装基板間は異方導電フィルムの接着剤の硬化によって接続状態を保持した回路板を得ることができる。



1 : 半導体チップ

2 : 実装基板

3 : 突起電極 (パンプ)

4 : チップ搭載用電極

10 : 異方導電性接着剤

11 : 導電粒子

【特許請求の範囲】

【請求項 1】 実装基板表面の配線の所定の領域に電子部品の接続電極に対応して形成された接続用電極端子上に前記電子部品の接続電極が対応するように前記電子部品を当接載置し、前記電子部品の前記接続電極形成面側が接着剤を介して前記実装基板表面に接着固定され、前記接続用電極端子と前記電子部品の接続電極とが電氣的に接続される回路板であって、前記実装基板は複数層の導体配線層が絶縁層を介して積層接着された多層配線板であり、前記絶縁層の少なくとも前記電子部品が接着固定される側の最外層の 1 層がガラス基材で補強された樹脂よりなり X 及び Y 方向の線膨張率が $13 \text{ ppm}/^{\circ}\text{C}$ 以下の絶縁層であることを特徴とする回路板。

【請求項 2】 電子部品を実装基板表面に接着固定する接着剤が、接着後の 40°C における弾性率が $100 \sim 1,500 \text{ MPa}$ である請求項 1 記載の回路板。

【請求項 3】 電子部品を実装基板表面に接着固定する接着剤が、異方導電性接着剤である請求項 1 又は 2 記載の回路板。

【請求項 4】 電子部品の接続電極形成面側の全面が接着剤を介して実装基板表面に接着固定される請求項 1 ～ 3 各項記載の回路板。

【請求項 5】 電子部品が半導体チップであるの請求項 1 ～ 4 各項記載の回路板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばフェイスダウンボンディング方式により半導体チップ等の電子部品を実装基板と異方導電性接着剤等の接着剤で接着固定すると共に、両者の電極同士を電氣的に接続する回路板に関する。

【0002】

【従来の技術】一般に、半導体チップをフェイスダウンボンディング方式により直接基板に実装する方法として、半導体チップの電極部分にはんだバンプを形成し実装基板にはんだ接続するフリップチップ方式、半導体チップに設けた突起電極に導電性接着剤を塗布し実装基板電極に接着する接続方法が用いられている。

【0003】また、半導体チップ、トランジスタ、ダイオード、サイリスタ等の能動素子、コンデンサ、抵抗体、コイル等の受動素子等の電子部品と実装基板とを機械的な電極接続により電氣的に接続する方法として、接着剤または導電粒子を分散させた異方導電性接着剤がある。すなわち、接着フィルムを電子部品と電極や回路の間に設け、加圧または加熱加圧手段を構じることによって、両者の電極同士が電氣的に接続されると共に、隣接電極間の絶縁性を付与して、電子部品と回路とが接着固定されるものである。この機械的な電極接続による実装方法は、現在ガラス基板で適用されているほか、汎用性の高いガラスクロス補強樹脂製の配線板に適用する検討

が進められている。

【0004】

【発明が解決しようとする課題】このガラスクロス補強樹脂製の配線板は、配線密度に優れ、かつ経済的に多層配線化でき、配線板材料としてもっとも一般的に利用されている。しかし、従来の FR-4 グレードのガラスクロス補強樹脂製配線板では、X 及び Y 方向の線膨張率が大きく、半導体チップ実装時の加熱加圧による基板の膨張から、実装後の室温への冷却による基板の収縮によって接続部材に反りが生じ、接続信頼性を低下するという問題があった。本発明は、導電粒子を分散させた異方導電性接着剤等の接着剤により、半導体チップや電子部品と実装基板とを機械的な電極接続で電氣的な接続を得ることに際し、上記問題点に鑑みてなされたもので、半導体チップをガラスクロス補強樹脂製配線板による実装基板に接続でき、長期接続信頼性に優れた回路板を提供するものである。

【0005】

【課題を解決するための手段】本発明の回路板は、実装基板表面の配線の所定の領域に電子部品の接続電極に対応して形成された接続用電極端子上に前記電子部品の接続電極が対応するように前記電子部品を当接載置し、前記電子部品の前記接続電極形成面側が接着剤を介して前記実装基板表面に接着固定され、前記接続用電極端子と前記電子部品の接続電極とが電氣的に接続される回路板であって、前記実装基板は複数層の導体配線層が絶縁層を介して積層接着された多層配線板であり、前記絶縁層の少なくとも前記電子部品が接着固定される側の最外層の 1 層がガラス基材で補強された樹脂よりなり X 及び Y 方向の線膨張率が $13 \text{ ppm}/^{\circ}\text{C}$ 以下の絶縁層であることを特徴とする。

【0006】

【発明の実施の形態】本発明における半導体チップと実装基板の接続を図 1 を用いて説明する。図 1 において半導体チップ 1 に設けた接続電極である突起電極（バンプ）3 は、実装基板 2 表面に設けた導体回路のチップ搭載用電極 4 と位置合わせされる。導電粒子を分散させた異方導電性接着剤 10 は、半導体チップ 1 と実装基板 2 間に配置される。この状態から半導体チップ 1 側から加圧加熱することにより接着剤 10 は流動し、接着剤の場合は、半導体チップに設けた接続電極と実装基板表面に設けた導体回路のチップ搭載用電極が直接機械的に接し電氣的な接続を得る。11 は導電粒子である。

【0007】本発明における実装基板の導体配線層は、2 層以上必要で高密度化をはかるためには 3 層またはそれ以上が望ましい。導体配線層は既存の銅箔をエッチング法で回路形成したもの等任意の回路形成法が使用できる。複数の導体配線層は絶縁層で絶縁され、この絶縁層の少なくとも半導体チップが接着固定される側の最外層の 1 層はガラス基材で補強された樹脂よりなり X 及び

Y方向の線膨張率が室温で $13 \text{ ppm}/^{\circ}\text{C}$ 以下の絶縁層を使用する必要がある。導体配線の表面には、錫(Sn)、金(Au)、ニッケル(Ni)、はんだ等のめっき等による表面層を形成することもできる。本発明の実装基板は、複数層の導体配線層が絶縁層を介して積層接着され、所定の導体配線層間を導体化された穴で電氣的に接続してなる多層配線板も使用される。

【0008】本発明における接着剤は、チップと基板の熱膨張係数の違いに基づく応力を緩和する目的で接着後の 40°C での弾性率が $100 \sim 4000 \text{ MPa}$ が好ましく、特に $100 \sim 1500 \text{ MPa}$ であれば特に好ましい。例えば、接着剤として、エポキシ樹脂とイミダゾール系、ヒドラジド系、三フッ化ホウ素-アミン錯体、スルホニウム塩、アミンイミド、ポリアミンの塩、ジシアンジアミド等の潜在性硬化剤の混合物に、接着後の 40°C での弾性率が $100 \sim 1500 \text{ MPa}$ になるようにアクリルゴムを配合した接着剤があげられる。接着剤硬化物の弾性率は、例えば、レオロジ(株)製レオスペクトラDVE-4(引っぱりモード、周波数 10 Hz 、 $5^{\circ}\text{C}/\text{min}$ で昇温)を使用して測定できる。

【0009】本発明で用いるアクリルゴムとしては、アクリル酸、アクリル酸エステル、メタクリル酸エステルまたはアクリロニトリルのうち少なくともひとつをモノマー成分とした重合体または共重合体があげられ、中でもグリシジルエーテル基を含有するグリシジルアクリレートやグリシジルメタクリレートを含む共重合体系アクリルゴムが好適に用いられる。これらアクリルゴムの分子量は、接着剤の凝集力を高める点から 20 万以上が好ましい。アクリルゴムの接着剤中の配合量は、 $15 \text{ wt}\%$ 以下であると接着後の 40°C での弾性率が 1500 MPa を越えてしまい、また $40 \text{ wt}\%$ 以上になると低弾性率化は図れるが接続時の熔融粘度が高くなり接続電極界面間、または接続電極と導電粒子界面の熔融接着剤の排除性が低下するため、接続電極間または接続電極と導電粒子間の電氣的導通を確保できなくなる。このため、アクリル配合量としては $15 \sim 40 \text{ wt}\%$ が好ましい。接着剤に配合されたこれらのアクリルゴムは、ゴム成分に起因する誘電正接のピーク温度が $40 \sim 60^{\circ}\text{C}$ 付近にあるため、接着剤の低弾性率化を図ることができる。

【0010】本発明に用いられる接着剤には、チップの bumps や回路電極の高さばらつきを吸収するために、異方導電性を積極的に付与する目的で導電粒子を分散することもできる。本発明において導電粒子は例えばAu、Ni、Ag、Cu、Wやはんだなどの金属粒子またはこれらの金属粒子表面に金やパラジウムなどの薄膜をめっきや蒸着によって形成した金属粒子であり、ポリスチレン等の高分子の球状の核材にNi、Cu、Au、はんだ等の導電層を設けた導電粒子を用いることができる。

【0011】粒径は基板の電極の最小の間隔よりも小さいことが必要で、電極の高さばらつきがある場合、高さ

ばらつきよりも大きいことが好ましく、 $1 \mu\text{m} \sim 10 \mu\text{m}$ が好ましい。また、接着剤に分散される導電粒子量は、 $0.1 \sim 30$ 体積%であり、好ましくは $0.2 \sim 15$ 体積%である。

【0012】本発明における半導体チップの接続電極には、金、ニッケル、はんだ等をめっきし突起電極としためっきバンプ、また金、アルミニウム等の金属ワイヤの先端を熱エネルギーによりボール状としこのボールを接続端子が構成される半導体チップの電極パッド上に圧着した後前記金属ワイヤを切断して構成された突起電極であるボールバンプ、はんだボール、熔融はんだ成形バンプ、カラムの半田付け等による突起電極が使用できる。本発明の電子部品としては、半導体チップ、トランジスタ、ダイオード、サイリスタ等の能動素子、コンデンサ、抵抗体、コイル等の受動素子が使用される。

【0013】

【作用】一般のガラスエポキシ基材(FR-4グレード)はX及びY方向の線膨張率が $16 \text{ ppm}/^{\circ}\text{C}$ であるのに対し、本発明における実装基板には線膨張率 $13 \text{ ppm}/^{\circ}\text{C}$ 以下のガラスクロス補強樹脂製の絶縁層等のガラス基材で補強された樹脂よりなる絶縁層を用いるため、半導体チップ等の電子部品との接続部分に生じる内部応力を小さくできる。同時に、本発明における接着剤は、好ましくは 40°C での弾性率が $100 \sim 1500 \text{ MPa}$ のため、熱衝撃試験、PCT試験やはんだバス浸漬試験などの信頼性試験において生じる内部応力を接着剤で吸収できるため、信頼性試験後においても接続部での接続抵抗の増大や接着剤の剥離がなく、接続信頼性が大幅に向上する。

【0014】

【実施例】

実施例

X及びY方向の線膨張率が $11 \text{ ppm}/^{\circ}\text{C}$ のガラスクロス・エポキシ樹脂両面銅張り積層板であるMCLE-679LD(日立化成工業株式会社製、商品名)の表面銅箔を既存のエッチング法で半導体チップ搭載用配線を加工し、表面にニッケル/金めっきを施し実装基板を得た。半導体チップの接続電極として金めっきにより突起電極を形成したものをを用いた。この後、半導体チップの突起電極と実装基板とを接着後の 40°C における弾性率が $1,200 \text{ MPa}$ の異方導電フィルムにより接続する。まず、実装基板に異方導電フィルムを転写した後、半導体チップの突起電極と実装基板の半導体チップ搭載用回路との位置合せを行い、半導体チップを 180°C 、 $10 \text{ kgf}/\text{チップ}$ の温度及び圧力により 20 秒間加熱圧着して異方導電フィルムを硬化させる。これによって、異方導電フィルムを介して半導体チップの突起電極と実装基板の半導体チップ搭載用回路とを電氣的に接続されると同時に半導体チップと実装基板間は異方導電フィルムの接着剤の硬化によって、この接続状態を保持す

る。このようにして得た半導体チップと実装基板を接続した部材を（-55℃、30分）／（125℃、30分）の条件で繰り返す冷熱サイクル試験に曝した。この冷熱サイクル試験1,000回後の半導体チップの突起電極と実装基板の半導体チップ搭載用回路の接続抵抗を測定したところ50mΩ以下であった。また実装後の半導体チップのソリは5μmであった。

【0015】比較例

実施例において、ガラスクロス・エポキシ樹脂両面銅張り積層板であるMCL-E-679LD（日立化成工業株式会社製、商品名）に代えて、X及びY方向の線膨張率が16ppm/℃のガラスクロス・エポキシ樹脂両面銅張り積層板であるMCL-E-67（日立化成工業株式会社製、商品名）を用いた外は、実施例と同様にして半導体チップと実装基板を接続した。このようにして得た半導体チップと実装基板を接続した部材を（-55℃、30分）／（125℃、30分）の条件で繰り返す冷熱サイクル試験に曝した。この冷熱サイクル試験1,

000回後の半導体チップの突起電極と実装基板の半導体チップ搭載用回路の接続抵抗を測定したところ1Ω以上であった。また実装後の半導体チップのソリは18μmであった。

【0016】

【発明の効果】本発明により、半導体チップ等の電子部品と実装基板との接続信頼性に優れた回路板を得ることができる。

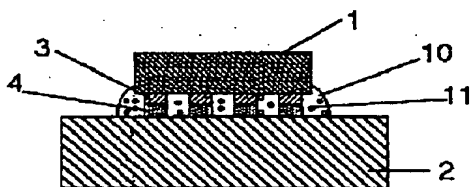
【図面の簡単な説明】

【図1】 本発明の回路板の断面図である。

【符号の説明】

- 1： 半導体チップ
- 2： 実装基板
- 3： 突起電極（パンプ）
- 4： チップ搭載用電極
- 10： 異方導電性接着剤
- 11： 導電粒子

【図1】



- 1：半導体チップ
- 2：実装基板
- 3：突起電極（パンプ）
- 4：チップ搭載用電極
- 10：異方導電性接着剤
- 11：導電粒子

フロントページの続き

(72)発明者 渡辺 治

茨城県つくば市和台48 日立化成工業株式会社筑波開発研究所内

(72)発明者 小島 和良

茨城県つくば市和台48 日立化成工業株式会社筑波開発研究所内